

Layer-type ball grid array semiconductor package and fabrication method thereof

Patent Number: ■ US6172423
Publication date: 2001-01-09
Inventor(s): LEE JONG HYUN (KR)
Applicant(s): HYUNDAI ELECTRONICS IND (US)
Requested Patent: JP11220088
Application Number: US19980182195 19981030
Priority Number(s): KR19970060262 19971115
IPC Classification: H01L23/48; H01L23/52; H01L29/40
EC Classification: H01L23/498A, H01L23/13, H01L25/10J
Equivalents: ■ KR266637

Abstract

A layer-type ball grid array (BGA) semiconductor package, module and methods of manufacturing same is provided that expands the capability of the package in a limited area. The BGA semiconductor package and method of manufacturing same includes a substrate having a cavity formed therein and an interconnection pattern layer that has a plurality of conductive interconnections forming electric channels between or electrically coupling upper and lower surfaces of the substrate is attached to an external surface of the substrate. The interconnection pattern layer extends from the upper surface to the lower surface of the substrate. A semiconductor chip is provided in bottom of the cavity and a plurality of conductive wires electrically couple the semiconductor chip to one of the conductive interconnections. A molding part fills in the cavity for sealing the semiconductor chip and wires. A plurality of solder balls are correspondingly attached to the conductive interconnections of the interconnection pattern layer formed on the lower surface of the substrate

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-220088

(43) 公開日 平成11年(1999) 8 月10日

(51) Int.Cl.⁶

H 0 1 L 23/52
23/12

識別記号

F I

H 0 1 L 23/52
23/12

C
L

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21) 出願番号 特願平10-306451

(22) 出願日 平成10年(1998)10月28日

(31) 優先権主張番号 6 0 2 6 2 / 1 9 9 7

(32) 優先日 1997年11月15日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ
ッド

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンードン、1

(72) 発明者 ジョン ヒュン リー

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、シンボンード
ン、35-1

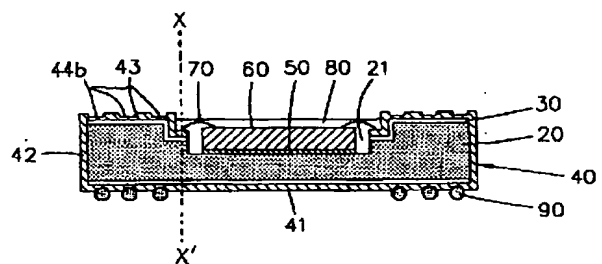
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 積層型ボールグリッドアレイ半導体パッケージ及びその製造方法

(57) 【要約】

【課題】積層可能なボールグリッドアレイ (BGA) 半導体パッケージ及びその製造方法を提供しようとするものである。

【解決手段】キャビティー21の切刻形成された基板本体20と、複数の導電性配線46を有して上記基板本体20の上面から下面まで付着された配線パターン膜40と、半導体チップ60、導電性ワイヤー70、成形部80及び溶剤ボール90を備えた積層型ボールグリッドアレイ (BGA) 半導体パッケージを構成する。前記配線パターン膜40の上面には、上層に半導体パッケージが積層されたときに、その上層の半導体パッケージの溶剤ボール90と連結される外部端子パッド44bが形成されており、前記外部端子パッド44bは、前記配線パターン膜40に形成された導電性配線を介して前記溶剤ボール90と電氣的に連結される。



【特許請求の範囲】

【請求項1】半導体チップが搭載される基板本体と、該基板本体の底面に付着される溶剤ボールと、前記基板本体の上面に形成され、上層に積層される半導体パッケージの前記溶剤ボールと連結される外部端子パッドと、前記半導体チップ、溶剤ボール及び外部端子パッドを電氣的に接続する配線パターンとを有してなる積層型ボールグリッドアレイ半導体パッケージ。

【請求項2】中央にキャビティーが切刻形成された基板本体と、
該基板本体の上面と下面間の電氣的通路を形成するため、該基板本体の前記キャビティーを除いた表面上に複数の導電性配線を有して被覆付着された配線パターン膜と、
前記キャビティーの底面に接着された半導体チップと、
該半導体チップと前記複数の配線間をそれぞれ電氣的連結する複数の導電性ワイヤーと、
前記半導体チップ及びワイヤーを密封して前記キャビティー内に充填された成形部と、
前記基板本体の下面に接着された前記配線パターン膜の各配線に連結して付着された複数の溶剤ボールと、
を備えて構成された積層型ボールグリッドアレイ半導体パッケージ。

【請求項3】前記配線パターン膜は、前記基板本体の底面、側面及び上面に連結して付着される底面部分、側面部分及び上面部分から構成され、前記底面部分には前記複数の溶剤ボールを付着するための複数の第1外部端子パッドが形成され、該第1外部端子パッドに前記複数の溶剤ボールがそれぞれ付着される一方、前記上面部分には、前記第1外部端子パッドに導電性配線により連結された複数の第2外部端子パッドがそれぞれ形成され、更に、前記上面部分の端部には複数の内部端子パッドが形成され、該内部端子パッドに前記ワイヤーの一方端が連結され、前記第1外部端子パッド、第2外部端子パッド及び内部端子パッドが前記複数の配線により相互電氣的に連結されることを特徴とする請求項2記載の積層型ボールグリッドアレイ半導体パッケージ。

【請求項4】前記複数の第1及び第2外部端子パッドが、半球形の凹状に形成されることを特徴とする請求項3記載の積層型ボールグリッドアレイ半導体パッケージ。

【請求項5】基板本体を準備する工程と、
前記基板本体の上面中央部にキャビティーを切刻形成する工程と、
複数の配線がパターン化された配線パターン膜を、前記基板本体の前記キャビティーを除いた全表面に被覆付着する配線パターン膜の形成工程と、
前記キャビティーの底面に半導体チップを付着するチップ付着工程と、
複数の導電性ワイヤーにより前記半導体チップと複数の

の配線間を相互電氣的に連結するワイヤーボンディング工程と、

前記半導体チップ及び複数のワイヤーを密封して成形部を形成する成形工程と、

前記基板本体の下面に形成された前記複数の配線上に溶剤ボールを付着する溶剤ボール形成工程と、
を順次行うことを特徴とする積層型ボールグリッドアレイ半導体パッケージの製造方法。

【請求項6】前記配線パターン膜は、前記基板本体の底面、側面及び上面に連結して付着される底面部分、側面部分及び上面部分から構成され、前記底面部分には前記複数の溶剤ボールを付着するための複数の第1外部端子パッドが形成され、該第1外部端子パッドに前記複数の溶剤ボールがそれぞれ付着される一方、前記上面部分には、前記第1外部端子パッドに導電性配線により連結された複数の第2外部端子パッドがそれぞれ形成され、更に、前記上面部分の端部には複数の内部端子パッドが形成され、該内部端子パッドに前記ワイヤーの一方端が連結され、前記第1外部端子パッド、第2外部端子パッド及び内部端子パッドが前記複数の配線により相互電氣的に連結されることを特徴とする請求項5記載の積層型ボールグリッドアレイ半導体パッケージの製造方法。

【請求項7】前記複数の第1及び第2外部端子パッドは、半球形の凹状に形成されることを特徴とする請求項6記載の積層型ボールグリッドアレイ半導体パッケージの製造方法。

【請求項8】前記配線パターン膜を前記基板本体の表面に付着させた後、熱圧着工程を施すことを特徴とする請求項5～7のいずれか1つに記載の積層型ボールグリッドアレイ半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、積層可能なボールグリッドアレイ (Ball Grid Array) 半導体パッケージ及びその製造方法に関する。

【0002】

【従来の技術】近年、多ピンパッケージの一種であるクオードフラットパッケージ (Quad Flat Package ; 以下、QFP と称す) が半導体パッケージとして多用されているが、このQFP は、多ピン化に従いアウトリードの幅が段々細くなると共にリード間のピッチが微細化されるため、リードの撓みが発生しやすく、かつ、印刷回路基板 (Printed Circuit Board : 以下、PCB と称す) の表面に実装するとき、該PCB とパッケージ間の整列が難しく、溶剤の量を調節することが困難であるという短所があった。

【0003】そこで、アウトリードの代わりに溶剤ボールを利用するボールグリッドアレイ (Ball Grid Array : 以下、BGA と称す) 半導体パッケージが開発

されており、係るBGA 半導体パッケージによれば、多ピン化傾向に対応しながら前記のようなQFP のもつ短所を解決し得ることになる。従来、前記BGA 半導体パッケージとしては、図5に示すような構造のものがあつた。

【0004】図5において、基板1の上部に接着剤3により半導体チップ2が接着される。前記基板1には、該基板1の上部と下部とを電気的に連結するための配線が埋設されており、前記半導体チップ2と前記配線の一方端とが複数の導電性ワイヤー4により電気的に連結され、前記半導体チップ2及び複数のワイヤー4を密封して成形部5が形成される。そして、前記基板1の下面には、前記配線の他方端に複数の溶剤ボール6がそれぞれ付着される。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来のBGA 半導体パッケージにおいては、電気的信号の入出力端子となる溶剤ボールがパッケージの下面のみに形成されるため、多層のパッケージモジュールを構成することができず、従って、制限された面積内で半導体パッケージを積層して、機能的容量の拡大を図ることができないという不都合な点があつた。

【0006】本発明は、このような従来の課題に鑑みてなされたもので、複数の層に積層し得るBGA 半導体パッケージ及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】このような目的を達成するため本発明に係る積層型BGA 半導体パッケージは、半導体チップが搭載される基板本体と、該基板本体の底面に付着される溶剤ボールと、前記基板本体の上面に形成され、上層に積層される半導体パッケージの前記溶剤ボールと連結される外部端子パッドと、前記半導体チップ、溶剤ボール及び外部端子パッドを電気的に接続する配線パターンとを有して構成される。

【0008】かかる構成によれば、本発明に係る半導体パッケージを上下に積層したときに、下層側の半導体パッケージに形成された外部端子パッドに上層側の半導体パッケージの溶剤ボールが付着され、上層側の半導体チップは、前記下層側の半導体パッケージの外部端子パッド及び溶剤ボールを介して、印刷回路基板との間での入出力が行われることになる。

【0009】また、本発明に係る積層型BGA 半導体パッケージは、中央にキャビティーが切刻形成された基板本体と、該基板本体の上面と下面間の電気的通路を形成するため、前記基板本体の前記キャビティーを除いた表面上に複数の導電配線を有して被覆付着された配線パターン膜と、前記キャビティーの底面に接着された半導体チップと、該半導体チップと前記複数の配線間をそれぞれ電気的に連結する複数の導電性ワイヤーと、前記半導体チップ及びワイヤーを密封して前記キャビティー内に充填された成形部と、前記基板本体の下面に接着された

前記配線パターン膜の各配線に連結して付着された複数の溶剤ボールと、を備えて構成される。

【0010】かかる構成によれば、前記配線パターン膜の各配線により基板の上面及び下面に相互連結する電気的共通端子が形成されるため、積層されるBGA 半導体パッケージモジュールを制作し得る。そして、前記基板本体の底面、側面及び上面に連結して付着される底面部分、側面部分及び上面部分から構成され、前記底面部分には前記複数の溶剤ボールを付着するための複数の第1外部端子パッドが形成され、該第1外部端子パッドに前記複数の溶剤ボールがそれぞれ付着される一方、前記上面部分には、前記第1外部端子パッドに導電性配線により連結された複数の第2外部端子パッドがそれぞれ形成され、更に、前記上面部分の端部には複数の内部端子パッドが形成され、該内部端子パッドに前記ワイヤーの一方端が連結され、前記第1外部端子パッド、第2外部端子パッド及び内部端子パッドが前記複数の配線により相互電気的に連結される。

【0011】かかる構成によると、前記基板本体の下面及び上面にそれぞれ対応して形成された第1及び第2外部端子パッドが相互電気的に連結されて共通端子を形成するため、前記基板本体の上面と下面間には電気的通路が形成される。ここで、前記第1及び第2外部端子パッドは半球形の凹状に形成される。かかる構成によれば、BGA 半導体パッケージの制作時溶剤ボールの接着を容易にさせ、かつ、完成されたBGA 半導体パッケージを積層するとき溶剤ボールが第2外部端子内に容易に整合されて、積層が一層容易になる。

【0012】また、本発明に係る積層型BGA 半導体パッケージの製造方法においては、基板本体を準備する工程と、前記基板本体の上面中央部にキャビティーを切刻形成する工程と、複数の配線がパターン化された配線パターン膜を前記基板本体の前記キャビティーを除いた全表面に被覆付着する配線パターン膜の形成工程と、前記キャビティーの底面に半導体チップを付着するチップ付着工程と、複数の導電性ワイヤーを用いて前記半導体チップと複数の配線間を相互電気的に連結するワイヤーボンディング工程と、前記半導体チップ及びワイヤーを密封し成形部を形成する成形工程と、前記基板本体の下面に形成された前記複数の配線上に溶剤ボールを付着する溶剤ボール形成工程と、を順次行うようになっている。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を、図面を用いて説明する。図1は、実施形態における積層型BGA 半導体パッケージを示す断面図であり、絶縁性物質からなる基板本体20の中央部にキャビティー21が切刻形成され、該キャビティー21を除外した基板本体20の全表面には、膠のような第1接着部材30により配線パターン膜40が接着される。

【0014】前記配線パターン膜40は、図2に示したように、前記基板本体20の底面、側面及び上面に連続して形成される底面部分41、側面部分42及び上面部分43から構成される。尚、前記図2は、図1のx-x'基準線よりも左側の部分の配線パターン40を展開図として示すものであり、図2のx-x'基準線よりも左側は、前記キャビティー21の部分に相当することになる。

【0015】前記配線パターン膜40の底面部分41には、設計パターンに従い複数の第1外部端子パッド44aが形成され、上面部分43には、前記複数の第1外部端子パッド44aそれぞれに導電性配線46により連結された複数の第2外部端子パッド44bが形成される。前記第1、第2外部端子パッド44a、44bは、前記基板本体20の側端面を基準として上下に同じ位置になるように、即ち、第2外部端子パッド44bが形成される位置から基板本体20を上下に貫通した位置が第1外部端子パッド44aの位置になるように形成されている。

【0016】また、前記配線パターン膜40の上面部分43のキャビティー21側の端部には、複数の内部端子パッド45が前記第1外部端子パッド44a及び第2外部端子パッド44bに対応して形成され、これら内部端子パッド45と第2外部端子パッド44bとはパターンニングされた複数の導電性配線46により電氣的に連結され、結果的に、内部端子パッド45と第1外部端子パッド44a及び第2外部端子パッド44bとが相互に電氣的に連結されるようになっている。

【0017】ここで、前記第1及び第2外部端子パッド44a、44bは、後述する溶剤ボール90を付着させるために、半球形の凹状に形成される。更に、図1に示したように、前記キャビティー21の底面には、エポキシ接着剤のような第2接着部材50により半導体チップ60が接着され、該半導体チップ60と前記配線パターン膜40の上面部分43に形成された複数の内部端子パッド45とはそれぞれ導電性ワイヤー70により電氣的に連結される。

【0018】そして、前記キャビティー21の内部に前記半導体チップ60及びワイヤー70を密封するようにエポキシ成形化合物を充填することで成形部80が形成され、前記配線パターン膜40の底面部分41に形成された複数の第1外部端子パッド44a上にはそれぞれ溶剤ボール90が接着される。前記構成のBGA半導体パッケージの製造方法を以下に説明する。

【0019】先ず、図3(a)に示したように、基板本体20の上面中央部にキャビティー21を切刻形成した後、前記キャビティー21を除く前記基板本体20の上面及び基板本体20の下面全体に膠のような第1接着部材30を塗り付ける。次いで、図3(b)に示したように、前記基板本体20のキャビティー21を除外した全表面上に、図2に示したような配線パターン膜40を被覆付着した後、金型状の上部及び下部成形板100、110を用いて前記配線パターン膜40を熱圧着させ、前記配線パターン膜40を前記

基板本体20に対して堅固に付着させる。このとき、少なくとも前記キャビティー21の底面は前記配線パターン膜40に被覆されることなく露出するようにする。

【0020】次いで、図3(c)に示したように、前記キャビティー21の底面に第2接着部材50により半導体チップ60を接着し、該半導体チップ60と前記配線パターン膜40の各内部端子パッド45間をそれぞれ導電性ワイヤー70により電氣的に連結させる。次いで、図3(d)に示したように、前記キャビティー21内にエポキシ成形化合物を充填して前記半導体チップ60及びワイヤー70を密封する成形部80を形成し、最後に、前記配線パターン膜40の底面部分41の複数の第1外部端子パッド44a上に溶剤ボール90をそれぞれ付着させて、実施形態のBGA半導体パッケージの製造を終了する。

【0021】前記BGA半導体パッケージを上下に積層し、多層のパッケージモジュールを構成する場合には、図4に示したように、下層側のBGA半導体パッケージ200の第2外部端子パッド44b上に、上層側のBGA半導体パッケージ300の溶剤ボール90を位置合わせして積層した後、リフロー工程を施して前記溶剤ボール90を溶融して付着させ、上層及び下層の半導体パッケージ300、200を堅固に付着して積層させる。

【0022】

【発明の効果】以上説明したように、本発明に係るBGA半導体パッケージ及びその製造方法によると、単層のBGA半導体パッケージを生産することで、別途の追加工程を行わずにリフロー工程のみを施して多層の半導体パッケージモジュールを制作することができるため、制限された面積内における半導体パッケージの機能的容量を拡大し得るという効果がある。

【図面の簡単な説明】

【図1】本発明に係る積層型BGA半導体パッケージの構造を示した縦断面図である。

【図2】図1の配線パターン膜のx-x'基準線の左側部分を基板本体から分離して広げて示した展開図である。

【図3】本発明に係る積層型BGA半導体パッケージの製造方法を示した工程図である。

【図4】本発明に係る積層型BGA半導体パッケージを積層してなるパッケージモジュールの構造を示した縦断面図である。

【図5】従来のBGA半導体パッケージの構造を示した縦断面図である。

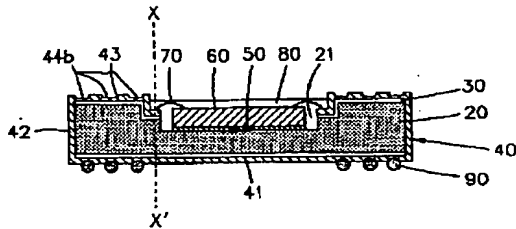
【符号の説明】

- 20…基板本体
- 21…キャビティー
- 30…第1接着部材
- 40…配線パターン膜
- 41…配線パターン膜の底面部分
- 42…配線パターン膜の側面部分

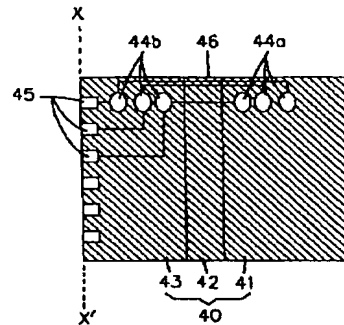
43…配線パターン膜の上面部分
 44a …第1外部端子パッド
 44b …第2外部端子パッド
 45…内部端子パッド
 46…電導性配線

50…第2接着部材
 60…半導体チップ
 70…ワイヤー
 80…成形部
 90…溶剤ボール

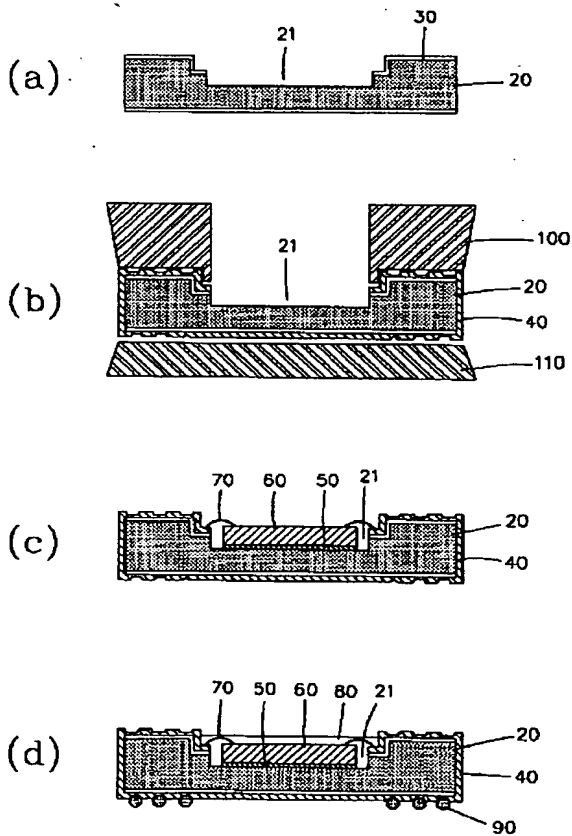
【図1】



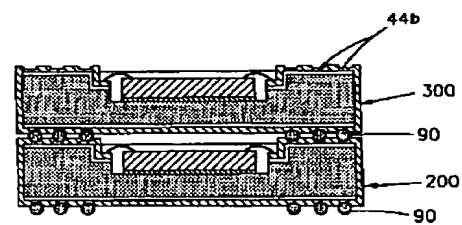
【図2】



【図3】



【図4】



【図5】

